

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yoshihiro SUGITA, et al.**

Serial No.: **Not Yet Assigned**

Filed: **August 5, 2003**

For. **MANUFACTURE METHOD FOR SEMICONDUCTOR DEVICE WITH PATTERNED FILM OF ZrO<sub>2</sub> OR THE LIKE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: August 5, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-231786, filed August 8, 2002**

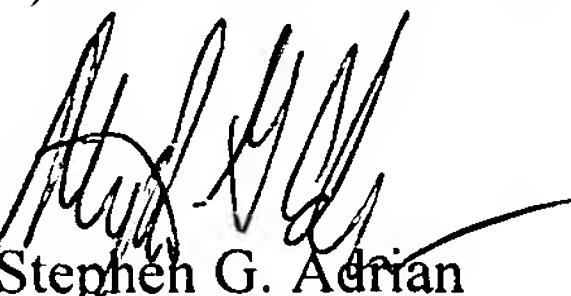
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Stephen G. Adrian  
Reg. No. 32,878

SGA/ll  
Atty. Docket No. 030862  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月 8日

出願番号

Application Number:

特願2002-231786

[ST.10/C]:

[JP2002-231786]

出願人

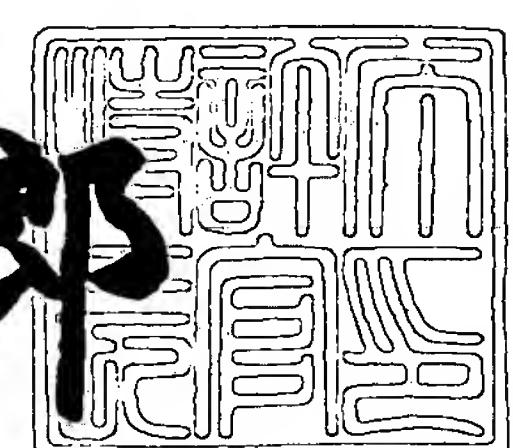
Applicant(s):

富士通株式会社

2003年 4月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030223

【書類名】 特許願

【整理番号】 0240389

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/316

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 杉田 義博

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 森▲崎▼ 祐輔

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 入野 清

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 肖 石琴

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 大場 隆之

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 (a 1) 半導体基板の表面上に、ジルコニアまたはハフニアからなる絶縁膜を形成する工程と、

(a 2) 前記絶縁膜の表面の一部を、マスクパターンで覆う工程と、

(a 3) 前記マスクパターンをマスクとして、前記絶縁膜のうち前記マスクパターンで覆われていない部分にイオンを注入することにより、該絶縁膜にダメージを与える工程と、

(a 4) 前記マスクパターンをマスクとして、前記絶縁膜の一部をエッティングする工程と

を有する半導体装置の製造方法。

【請求項2】 前記工程(a 3)において、前記半導体基板中に注入されたときキャリアを発生させない元素のイオンを前記絶縁膜に注入する請求項1に記載の半導体装置の製造方法。

【請求項3】 前記工程(a 3)において、シリコン、ゲルマニウム、アルゴン、及びキセノンからなる群より選択された1つの元素のイオンを前記絶縁膜に注入する請求項1に記載の半導体装置の製造方法。

【請求項4】 前記工程(a 4)において、硫酸、または硫酸と過酸化水素との混合液を用いて前記絶縁膜をエッティングする請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 (b 1) 半導体基板の表面上に、ジルコニアまたはハフニアからなる絶縁膜を形成する工程と、

(b 2) 前記絶縁膜の表面の一部を、マスクパターンで覆う工程と、

(b 3) 前記マスクパターンをマスクとして、前記絶縁膜のうち前記マスクパターンで覆われていない部分を非晶質化する工程と、

(b 4) 前記マスクパターンをマスクとして、前記絶縁膜の非晶質化した部分をエッティングする工程と

を有する半導体装置の製造方法。

【請求項6】 (c1) 半導体基板の表面上に、ジルコニアまたはハフニアからなる絶縁膜を形成する工程と、

(c2) 前記絶縁膜の表面の一部を、マスクパターンで覆う工程と、

(c3) 前記マスクパターンをマスクとして、前記絶縁膜のうち前記マスクパターンで覆われていない部分を、窒素プラズマ、アルゴンプラズマ、及びアンモニアプラズマからなる群より選択された1つのプラズマに晒す工程と、

(c4) 前記マスクパターンをマスクとして、前記絶縁膜の一部をエッティングする工程と

を有する半導体装置の製造方法。

【請求項7】 前記工程(c4)において、硫酸、硫酸と過酸化水素との混合液、フッ酸、及び磷酸からなる群より選択された1つのエッチャントを用いて前記絶縁膜をエッティングする請求項6に記載の半導体装置の製造方法。

【請求項8】 半導体基板の表面上に、ジルコニアまたはハフニアからなるゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の一部の表面上に、ゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記ゲート絶縁膜のうち前記ゲート電極で覆われていない部分にイオンを注入することにより、該ゲート絶縁膜にダメージを与える工程と、

前記ゲート電極をマスクとして、前記ゲート絶縁膜の一部をエッティングする工程と、

前記ゲート電極をマスクとして、該ゲート電極の両側の前記半導体基板の表層部に不純物イオンを注入する工程と  
を有する半導体装置の製造方法。

【請求項9】 半導体基板の表面上に、ジルコニアまたはハフニアからなるゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の一部の表面上に、ゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記ゲート絶縁膜のうち前記ゲート電極で覆われていない部分を非晶質化する工程と、

前記ゲート電極をマスクとして、非晶質化した前記ゲート絶縁膜をエッティング

する工程と、

前記ゲート電極をマスクとして、該ゲート電極の両側の前記半導体基板の表層部に不純物イオンを注入する工程と  
を有する半導体装置の製造方法。

【請求項10】 半導体基板の表面上に、ジルコニアまたはハフニアからなるゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の一部の表面上に、ゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記ゲート絶縁膜のうち前記ゲート電極で覆われていない部分を、窒素プラズマ、アルゴンプラズマ、及びアンモニアプラズマからなる群より選択された1つのプラズマに晒す工程と、

前記ゲート電極をマスクとして、前記ゲート絶縁膜の一部をエッティングする工程と、

前記ゲート電極をマスクとして、該ゲート電極の両側の前記半導体基板の表層部に不純物イオンを注入する工程と  
を有する半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に半導体基板の上にジルコニア( $ZrO_2$ )またはハフニア( $HfO_2$ )からなる高誘電率の絶縁膜を形成し、この絶縁膜の一部をエッティングして半導体装置を製造する方法に関する。

##### 【0002】

##### 【従来の技術】

ジルコニアやハフニアは酸化シリコンよりも高い誘電率を有するため、次世代のMISFETのゲート絶縁膜の材料として注目されている。MISFETを作製する際には、ソース及びドレイン領域の表面に金属シリサイド膜を形成するために、ソース及びドレイン領域上に残っているゲート絶縁膜を除去する必要がある。

##### 【0003】

【発明が解決しようとする課題】

ジルコニア及びハフニアは化学的に極めて安定であるため、ウェット処理によるエッチングを行うことが困難である。反応性イオンエッチング（RIE）による方法では、素子分離領域を形成する酸化シリコン、及び基板やゲート電極を形成するシリコンの双方に対して選択性を保ってエッチングすることが困難である。

【0004】

本発明の目的は、ジルコニアやハフニアからなる絶縁膜を、ウェット処理でエッチングすることにより半導体装置を作製する方法を提供することである。

【0005】

【課題を解決するための手段】

本発明の一観点によると、（a1）半導体基板の表面上に、ジルコニアまたはハフニアからなる絶縁膜を形成する工程と、（a2）前記絶縁膜の表面の一部を、マスクパターンで覆う工程と、（a3）前記マスクパターンをマスクとして、前記絶縁膜のうち前記マスクパターンで覆われていない部分にイオンを注入することにより、該絶縁膜にダメージを与える工程と、（a4）前記マスクパターンをマスクとして、前記絶縁膜の一部をエッチングする工程とを有する半導体装置の製造方法が提供される。

【0006】

本発明の他の観点によると、半導体基板の表面上に、ジルコニアまたはハフニアからなるゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の一部の表面上に、ゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記ゲート絶縁膜のうち前記ゲート電極で覆われていない部分にイオンを注入することにより、該ゲート絶縁膜にダメージを与える工程と、前記ゲート電極をマスクとして、前記ゲート絶縁膜の一部をエッチングする工程と、前記ゲート電極をマスクとして、該ゲート電極の両側の前記半導体基板の表層部に不純物イオンを注入する工程とを有する半導体装置の製造方法が提供される。

【0007】

絶縁膜へのイオン注入以外の方法で絶縁膜を非晶質化させてもよい。また、イ

オン注入の代わりに、絶縁膜を、窒素プラズマ、アルゴンプラズマ、またはアンモニアプラズマに晒してもよい。

## 【0008】

ジルコニアまたはハフニアからなる絶縁膜にイオン注入することにより、非晶質化させることができる。非晶質化したジルコニアまたはハフニアは、結晶状態の時よりも容易にエッチングすることができる。また、ジルコニアまたはハフニアからなる絶縁膜を、エッチング前に、窒素プラズマ、アルゴンプラズマ、またはアンモニアプラズマに晒すことにより、容易にエッチングすることができる。

## 【0009】

## 【発明の実施の形態】

図1及び図2を参照して、本発明の第1の実施例による半導体装置の製造方法について説明する。

## 【0010】

図1 (A) に示すように、シリコンからなる半導体基板1の表層部にシャロートレンチアイソレーション (STI) 法による素子分離絶縁領域2を形成する。素子分離領域2により、PチャネルMISFETを形成すべき活性領域及びNチャネルMISFETを形成すべき活性領域が画定される。PチャネルMISFETを形成すべき活性領域にリン (P) イオンを注入してN型ウェル3を形成する。NチャネルMISFETを形成すべき活性領域にボロン (B) イオンを注入してP型ウェル4を形成する。

## 【0011】

基板の表面上に、ジルコニアまたはハフニアからなる厚さ1～5nmのゲート絶縁膜5を堆積させる。なお、半導体基板1とゲート絶縁膜5との界面特性向上のために、ジルコニアまたはハフニア膜と半導体基板1との間に、厚さ0.5～1.5nmの酸化シリコン膜または窒化酸化シリコン膜を形成してもよい。

## 【0012】

ジルコニア膜及びハフニア膜は、化学気相成長 (CVD)、有機金属化学気相成長 (MOCVD)、原子層化学気相成長 (ALCVD)、またはスパッタリングにより形成することができる。CVD及びALCVDにより形成する場合には

、ジルコニウム原料として $ZrCl_4$ を使用することができ、ハフニウム原料として $HfCl_4$ を使用することができる。MOCVDで形成する場合には、ジルコニウム原料としてテトラターシャリブトキシジルコニウム( $Zr(t-OC_4H_9)_4$ )、テトラキスジエチルアミノジルコニウム( $Zr[N(C_2H_5)_2]_4$ )、テトラキスジメチルアミノジルコニウム( $Zr[N(CH_3)_2]_4$ )等を使用することができ、ハフニウム原料としてテトラターシャリブトキシハフニウム( $Hf(t-OC_4H_9)_4$ )、テトラキスジエチルアミノハフニウム( $Hf[N(C_2H_5)_2]_4$ )、テトラキスジメチルアミノハフニウム( $Hf[N(CH_3)_2]_4$ )等を使用することができる。

#### 【0013】

図1 (B) の状態に至るまでの工程について説明する。ゲート絶縁膜5の上に、厚さ40~120nmのポリシリコン膜を堆積させる。なお、ボロンの拡散を抑制するために、ゲート絶縁膜5とポリシリコン膜との間に、厚さ0.5~1nmの窒化シリコン膜または窒化酸化シリコン膜を形成してもよい。

#### 【0014】

塩素系ガスを用いた反応性イオンエッチング(RIE)によりポリシリコン膜をパターニングし、ポリシリコンからなるNチャネルMISFET用ゲート電極6N及びPチャネルMISFET用ゲート電極6Pを残す。ゲート電極が配置された領域以外の領域に、ゲート絶縁膜5が露出する。

#### 【0015】

図1 (C) に示すように、ゲート電極6P及び6Nをマスクとして、ゲート絶縁膜にゲルマニウム(Ge)イオン、シリコン(Si)イオン、アルゴン(Ar)イオン、またはキセノン(Xe)イオンを注入する。このイオン注入により、ゲート絶縁膜6P及び6Nで覆われていない領域のゲート絶縁膜5がダメージを受け、非晶質化(アモルファス化)する。厚さ1~5nmのゲート絶縁膜5を非晶質化するために、ドーズ量を $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ (中心条件 $1 \times 10^{15} \text{ cm}^{-2}$ )、加速エネルギーを0.5~40keVとすることが好ましい。なお、Ge、Si、Ar、Xe以外に、シリコン中でキャリアを発生させない他の元素のイオンを注入してもよい。

## 【0016】

図1 (D) に示すように、露出しているゲート絶縁膜5を除去し、ゲート電極6P及び6Nの下に、それぞれゲート絶縁膜5P及び5Nを残す。ゲート絶縁膜5は、温度110～180℃の熱濃硫酸、温度110～150℃の硫酸と過酸化水素との混合液、温度130～180℃の熱濃磷酸、または濃度0.5～50重量%の希フッ酸を用いてエッチングすることができる。ただし、希フッ酸は酸化シリコンを溶解させるため、希フッ酸を用いると素子分離領域2の信頼性が低下する。また、熱濃磷酸はシリコンを溶解させるため、熱濃磷酸を用いると、半導体基板1の表面の荒れや、ゲート電極の形状変化を引き起こす。このため、熱濃硫酸または硫酸と過酸化水素との混合液を用いることが好ましい。

## 【0017】

特に硫酸と過酸化水素との混合液は、従来からシリコンプロセスで使用されているため、従来のプロセスとの整合性を維持することができる。典型的な組成は、硫酸濃度80～98重量%、過酸化水素濃度1～20重量%であり、典型的な処理温度は110～140℃であり、処理時間は1～30分である。

## 【0018】

図2 (E) に示すように、PチャネルMISFETを形成すべき領域に、ゲート電極6Pをマスクとしてボロンイオンを注入し、低濃度ドレイン (LDD) 構造のソース及びドレイン領域のエクステンション部10Pを形成する。NチャネルMISFETを形成すべき領域に、ゲート電極6Nをマスクとしてリンイオンを注入し、エクステンション部10Nを形成する。

## 【0019】

図2 (F) に示すように、ゲート電極6N及び6Pの側面上に、酸化シリコンからなるサイドウォールスペーサ11を形成する。サイドウォールスペーサ11は、酸化シリコン膜の堆積と、異方性エッチングにより形成される。

## 【0020】

NチャネルMISFETを形成すべき領域に、ゲート電極6N及びサイドウォールスペーサ11をマスクとして砒素 (As) イオンを注入し、ソース及びドレイン領域12Nを形成する。PチャネルMISFETを形成すべき領域に、ゲ

ト電極6P及びサイドウォールスペーサ11をマスクとしてボロンイオンを注入し、ソース及びドレイン領域12Pを形成する。

## 【0021】

図2 (G) に示すように、ソース及びドレイン領域12N及び12P、ゲート電極6N及び6Pの上面上にコバルトシリサイド膜15を形成する。コバルトシリサイド膜15は、周知の自己整合型シリサイド法（サリサイド法）により形成される。

## 【0022】

上記第1の実施例では、図1 (C) に示した工程で、ゲート絶縁膜5にイオンを注入することによってゲート絶縁膜5を非晶質化させるため、図1 (D) に示した工程で、露出しているゲート絶縁膜5を容易にエッチングすることができる。

## 【0023】

図3を参照して、ジルコニア及びハフニアのエッチング速度について説明する。図3の非晶質 $ZrO_2$ 及び非晶質 $HfO_2$ は、上記第1の実施例によるイオン注入によって非晶質化させたジルコニア及びハフニアを表し、結晶 $ZrO_2$ は、单斜晶と正方晶のジルコニアを表し、結晶 $HfO_2$ は、单斜晶のハフニアを表す。エッチャントの欄に記載された各溶液の比は重量比である。なお、使用した硫酸、過酸化水素、塩酸、水酸化アンモニウム、及びフッ酸は、それぞれ98重量%、31重量%、36重量%、29重量%、及び50重量%である。図3に示した図表中の各数値はエッチング速度であり、単位は「nm／分」である。

## 【0024】

エッチャントとして硫酸と過酸化水素との混合液、熱濃磷酸、または希フッ酸を使用してエッチングする場合に、ジルコニアまたはハフニアを非晶質化させることにより、エッチング速度が速くなることがわかる。

## 【0025】

図4に、厚さ4nmのハフニア膜を、硫酸と過酸化水素との混合液でエッティングした後の試料表面をX線光電子分析法(XPS)で分析した結果を示す。なお、図4に現れているピークは、Hfの4d軌道の電子に対応するものである。横

軸は結合エネルギーを単位「eV」で表し、縦軸は光電子検出強度を任意単位で表す。

## 【0026】

図中の破線は、塩素系ガスを用いたRIE雰囲気に晒したハフニア膜をエッティングした後の検出結果を示し、細線は、RIE雰囲気に晒した後、さらに酸素プラズマに晒したハフニア膜をエッティングした後の検出結果を示し、太線は、RIE雰囲気及び酸素プラズマに晒した後、砒素をドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件下イオン注入したハフニア膜をエッティングした後の検出結果を示す。イオン注入して非晶質化させた場合のみ、ハフニア膜がほぼ完全に除去されていることがわかる。

## 【0027】

図1 (C) に示した非晶質化のためのイオン注入を、基板表面に対して斜めから行うことにより、半導体基板1にダメージを与えることなく、表面のゲート絶縁膜5にのみダメージを与えることができる。この場合、イオンビームの入射角（イオンビームの進行方向と基板表面の法線とのなす角）を $80^\circ$ 以上とすることが好ましい。また、ゲート電極6N及び6Pの下方のゲート絶縁膜5がダメージを受けないようにするために、イオンビームの傾斜方位をゲート電極6N及び6Pの延在する方向（図1 (C) の紙面に垂直な方向）と平行にすることが好ましい。

## 【0028】

注入されたイオンがゲート絶縁膜5内に止まり、半導体基板1の表面まで到達しない条件でイオン注入される場合には、炭素、窒素、酸素、フッ素等のイオンを注入してゲート絶縁膜5を非晶質化させてもよい。

## 【0029】

イオンビームの入射角を小さく（例えば $10^\circ$ 以下）すると、半導体基板1の表層部もダメージを受けて非晶質化される。半導体基板1の表層部を非晶質化させておくと、その後のエクステンション部、ソース及びドレイン領域形成のためのイオン注入時のチャネリング現象を防止することができる。

## 【0030】

半導体基板1の表層部にダメージを与えたくない場合には、イオンビームの入射角を大きくし、チャネリング現象を防止したい場合には、入射角を小さくすればよい。

#### 【0031】

次に、図5を参照して、第2の実施例による半導体装置の製造方法について説明する。

図5（A）に示した状態に至るまでの工程を説明する。素子分離絶縁領域2、N型ウェル3、P型ウェル4、ゲート絶縁膜5、ゲート電極6P及び6Nの形成までは、図1（A）及び図1（B）を参照して説明した第1の実施例の場合と同様である。

#### 【0032】

NチャネルMISFETを形成すべき領域をレジストパターン20で覆う。レジストパターン20及びゲート電極6Pをマスクとして、半導体基板1の表層部にボロンイオンを注入し、エクステンション部10Pを形成する。このイオン注入時に、イオンビームに照射されたゲート絶縁膜5がダメージを受け、非晶質化される。十分な非晶質化を行うために、ボロンのドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ 以上とすることが好ましい。

#### 【0033】

図5（B）に示すように、ゲート絶縁膜5の非晶質化された部分をエッチングする。このエッチングは、第1の実施例の図1（D）の工程で説明したゲート絶縁膜5のエッチング方法と同様の方法で行うことができる。ゲート絶縁膜5のエッチング後、レジストパターン20を除去する。

#### 【0034】

図5（C）に示すように、PチャネルMISFETを形成すべき領域をレジストパターン21で覆う。レジストパターン21及びゲート電極6Nをマスクとして、半導体基板1の表層部にリンイオンを注入し、エクステンション部10Nを形成する。リンイオンのドーズ量は、PチャネルMISFETのエクステンション部10Pを形成するボロンイオンのドーズ量と同じである。このイオン注入によって、イオンビームに晒されたゲート絶縁膜5が非晶質化される。

## 【0035】

図5 (D) に示すように、ゲート絶縁膜5の非晶質化された部分をエッチングする。その後、レジストパターン21を除去する。図2 (F) 及び図2 (G) に示した工程と同様の工程を経て、NチャネルMISFET及びPチャネルMISFETを作製する。

## 【0036】

第2の実施例では、エクステンション部10P及び10Nのイオン注入を行うときに、ジルコニアまたはハフニアからなるゲート絶縁膜5を非晶質化している。これにより、非晶質化したゲート絶縁膜5を容易に除去することができる。

## 【0037】

ただし、第2の実施例では、エクステンション部10P及び10Nのイオン注入が、ゲート絶縁膜5を通して行われる。このため、ゲート絶縁膜5の酸素原子等がノックオンされて半導体基板1まで輸送される場合がある。このため、エクステンション部の接合が浅くなると、ノックオン現象による酸素等の輸送が無視できなくなる。このため、浅い接合を形成するためには、前述の第1の実施例による方法が適している。

## 【0038】

次に、第3の実施例による半導体装置の製造方法について説明する。第1の実施例では、図1 (C) に示した工程で、ゲルマニウム等のイオンを注入することにより、ゲート絶縁膜5の非晶質化を行った。第3の実施例では、図1 (C) に示した状態で、ゲート電極6P及び6Nをマスクとして、ゲート絶縁膜5をアルゴン (Ar)、窒素 (N<sub>2</sub>)、またはアンモニア (NH<sub>3</sub>) のプラズマに晒すことにより、ゲート絶縁膜5を改質させる。改質したゲート絶縁膜5は、第1の実施例の場合と同様に、硫酸等を用いて容易に除去することができる。

## 【0039】

図6を参照して、プラズマに晒したハフニア膜のエッチング特性について説明する。図6に示す試料1～14を準備した。各試料は、シリコン基板の表面上に厚さ1nmの酸化シリコン膜を形成し、その上に厚さ5nmのハフニア膜を形成したものである。各試料のハフニア膜は、原料ガスとしてHfCl<sub>4</sub>とH<sub>2</sub>Oとを

用い、成長温度300°Cで形成した。いずれの試料においても、硫酸処理時間は30分である。Hf残量は単位「原子%」であり、XPS法により分析した結果である。

#### 【0040】

窒素プラズマ処理した後、硫酸に浸漬させた試料9～12においては、Hfは検出されず、ハフニア膜がほぼ完全に除去されていることがわかる。また、アンモニアプラズマまたはアルゴンプラズマに晒した後、硫酸に浸漬させた試料1～8においても、プラズマ処理を行わなかった試料13及び14に比べると、Hfの残量が少ないことがわかる。このように、ハフニア膜をプラズマに晒すと、硫酸を用いたエッティングにより容易にハフニア膜を除去することができる。

#### 【0041】

上記第3の実施例では、ハフニア膜を窒素プラズマ、アルゴンプラズマ、またはアンモニアプラズマに晒したが、ハフニア膜を、エッティングされやすいように改質させる他のプラズマに晒してもよい。このようなプラズマの例として、例えば、Kr、Xe、O<sub>2</sub>等が挙げられる。

#### 【0042】

なお、ジルコニア膜も、ハフニア膜と同様にプラズマに晒すことにより、エッティングし易くなるであろう。

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

#### 【0043】

##### 【発明の効果】

以上説明したように、本発明によれば、ジルコニアまたはハフニアからなる膜を非晶質化させることにより、またはプラズマに晒して改質させることにより、容易にエッティングすることが可能になる。

##### 【図面の簡単な説明】

【図1】 本発明の第1の実施例による半導体装置の製造方法を説明するための基板の断面図（その1）である。

【図2】 本発明の第1の実施例による半導体装置の製造方法を説明するための基板の断面図（その2）である。

【図3】 ジルコニア膜及びハフニア膜のエッティング速度を示す図表である。

【図4】 ハフニア膜をエッティングした後の試料表面のXPS分析結果を示すグラフである。

【図5】 本発明の第2の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図6】 プラズマ処理したハフニア膜及びプラズマ処理していないハフニア膜のエッティング後のHf残量を示す図表である。

【符号の説明】

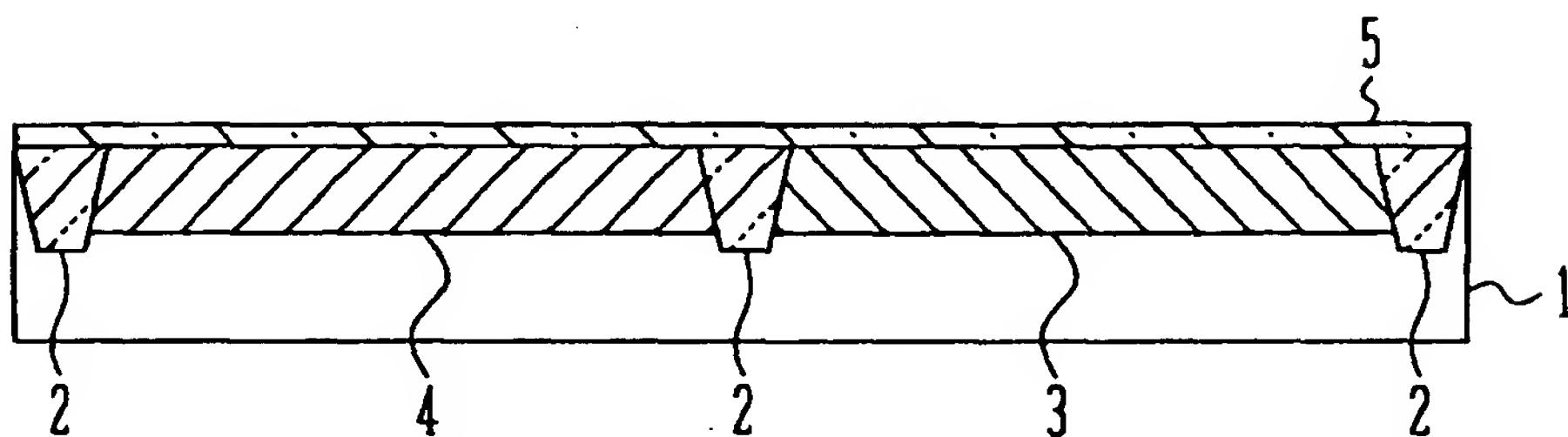
- 1 半導体基板
- 2 素子分離絶縁領域
- 3 N型ウェル
- 4 P型ウェル
- 5、5N、5P ゲート絶縁膜
- 6N、6P ゲート電極
- 10N、10P エクステンション部
- 11 サイドウォールスペーサ
- 12N、12P ソース及びドレイン領域
- 15 金属シリサイド膜
- 20、21 レジストパターン

【書類名】 図面

【図1】

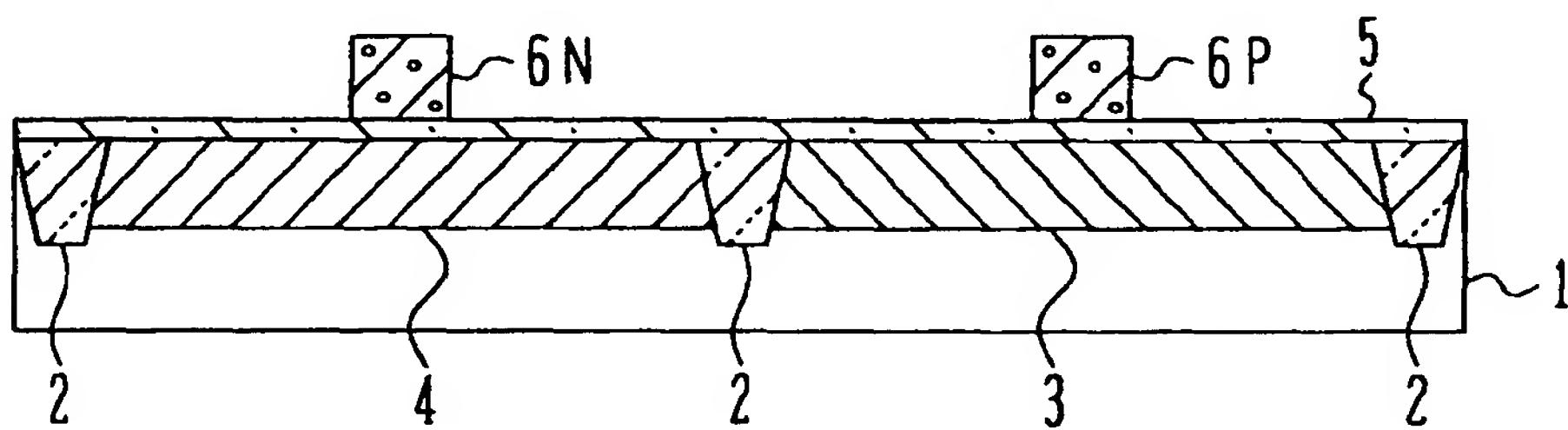
## 第1の実施例（その1）

(A)

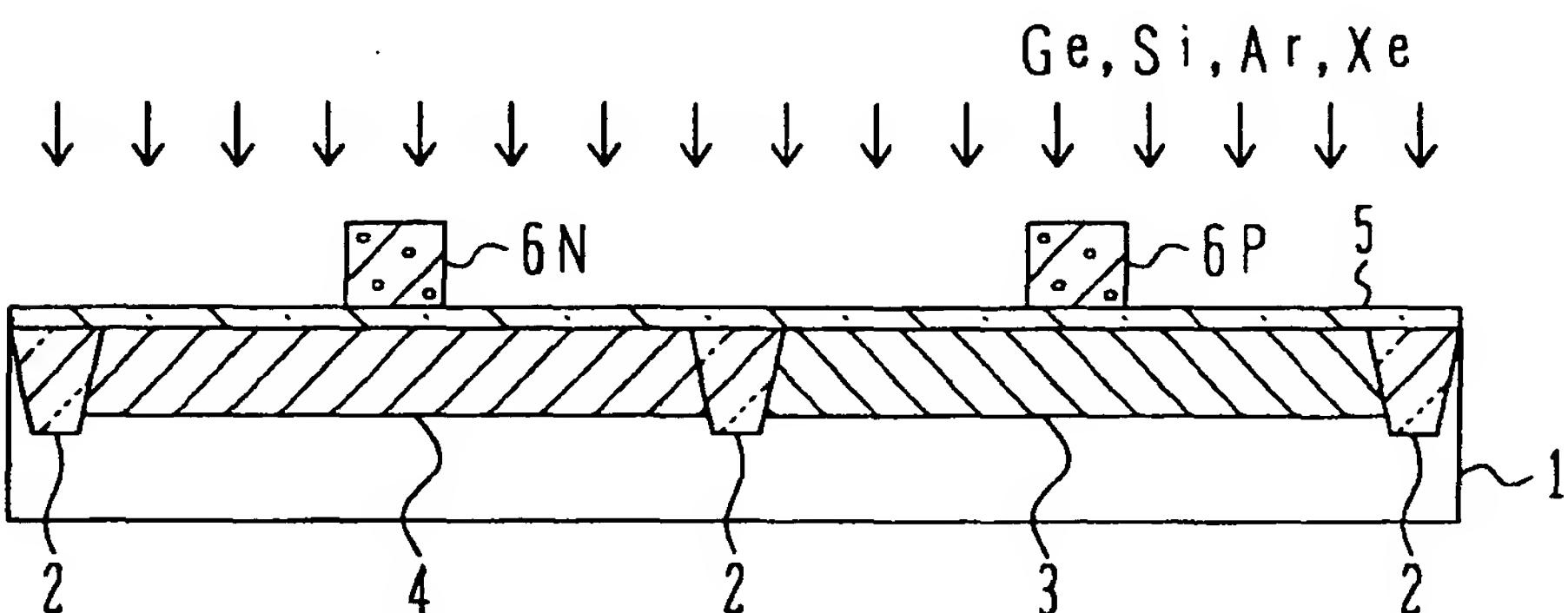


3:N型ウェル 4:P型ウェル 5:ゲート絶縁膜

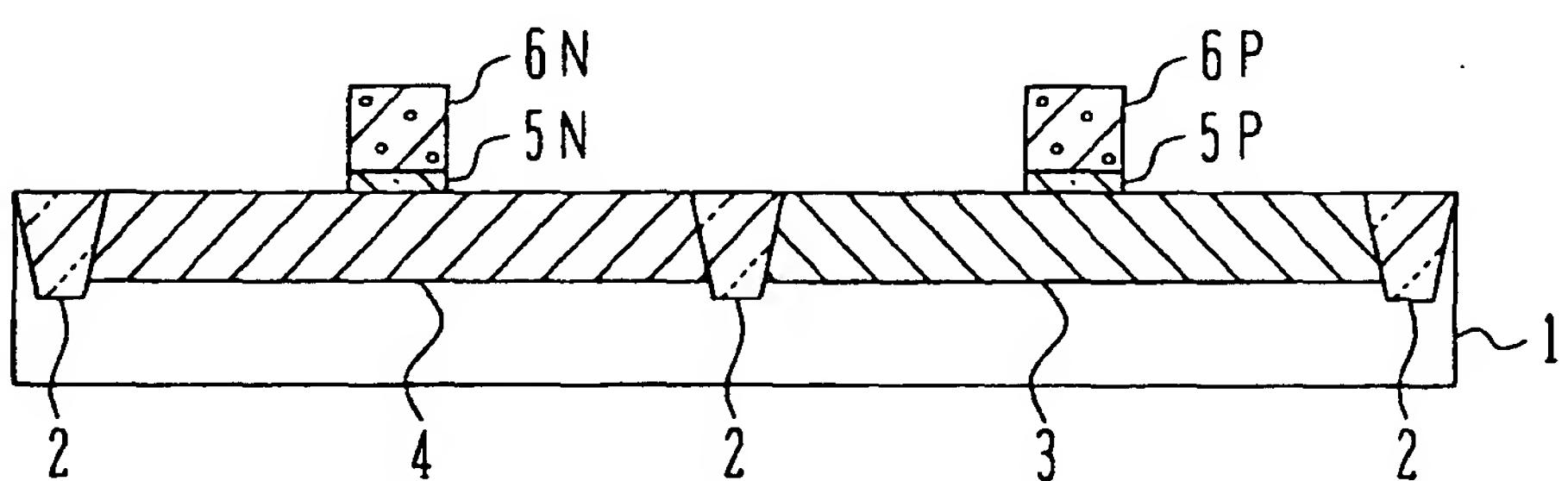
(B)



(C)



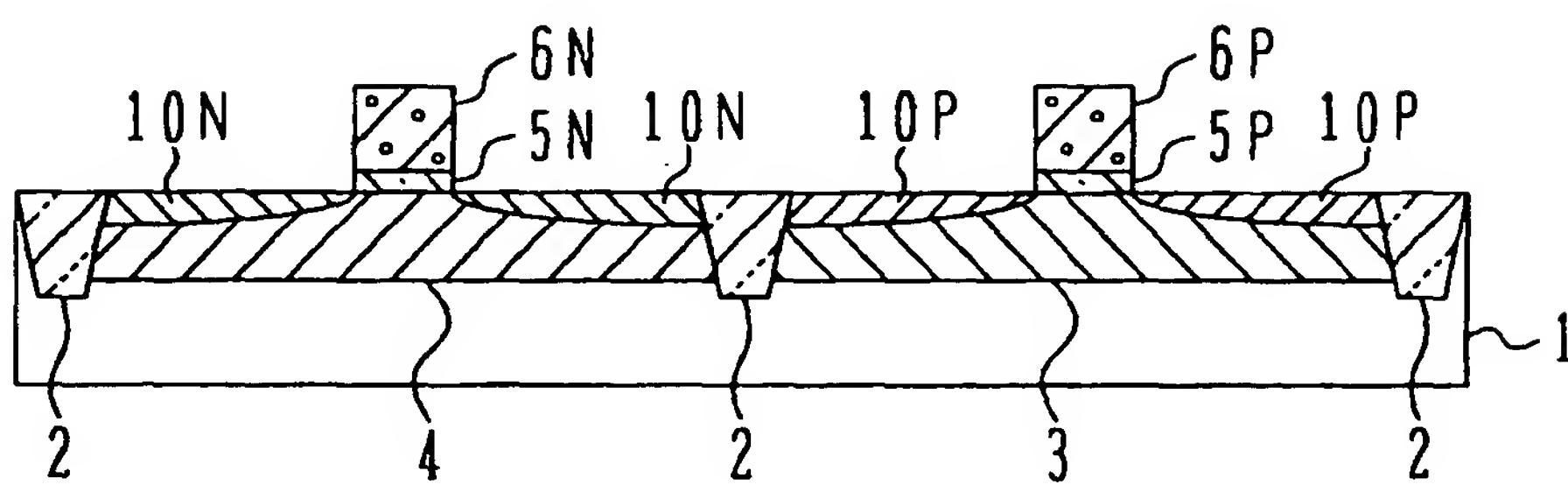
(D)



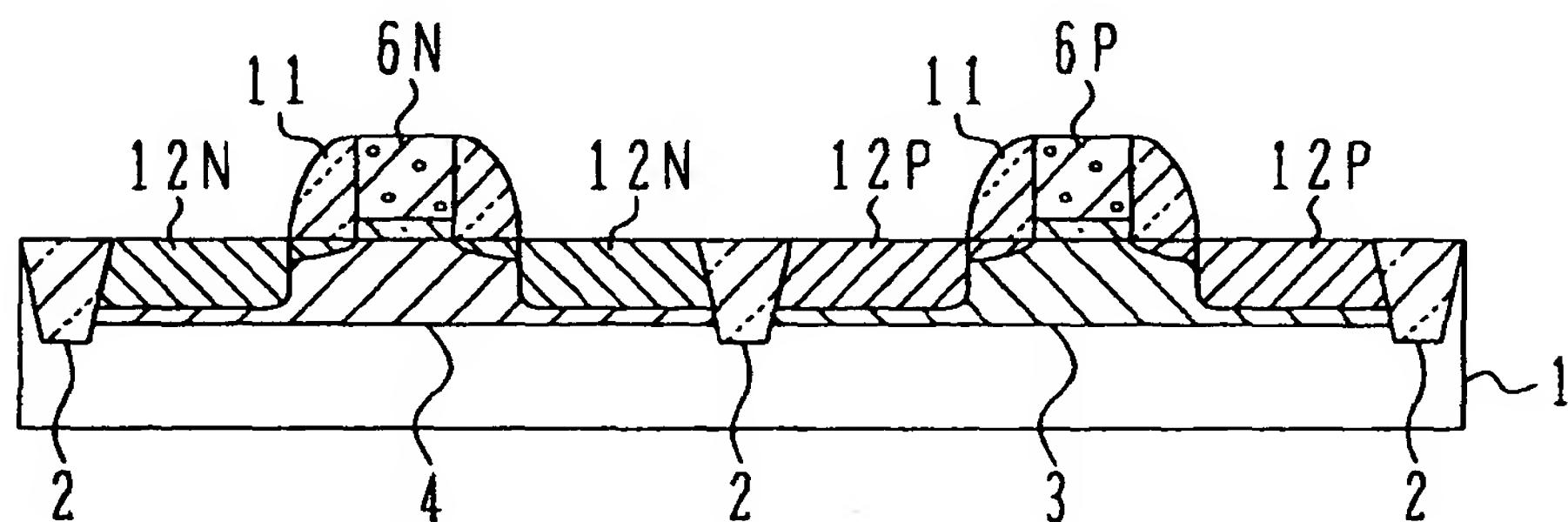
【図2】

## 第1の実施例（その2）

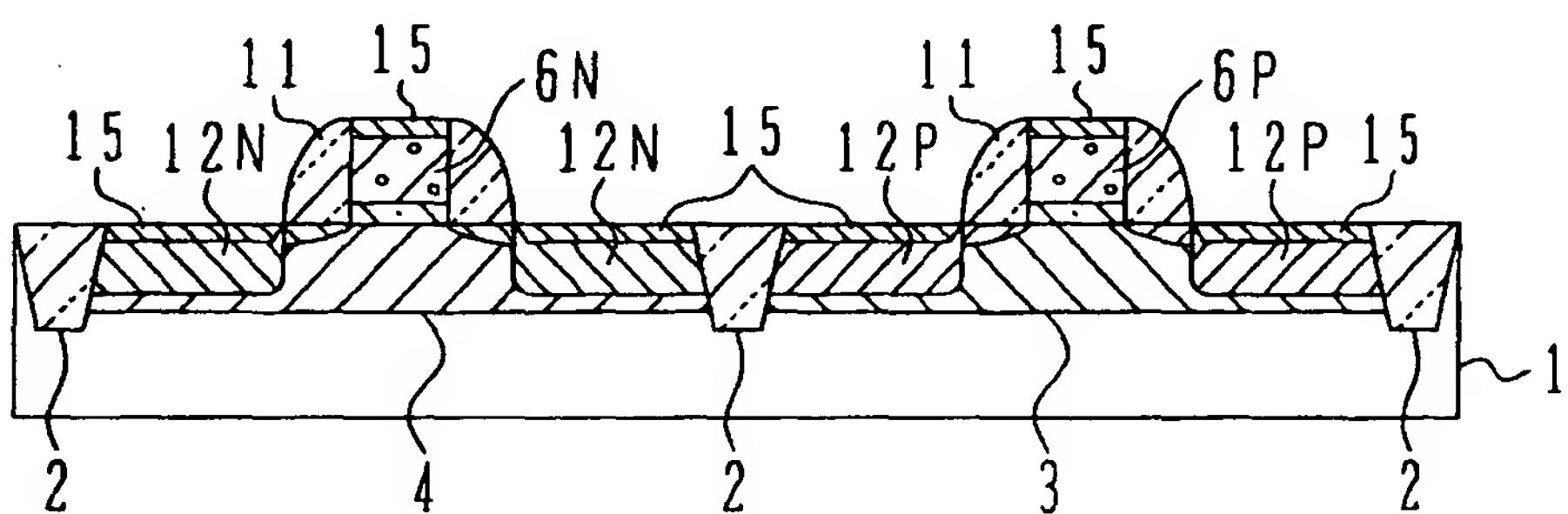
(E)



(F)



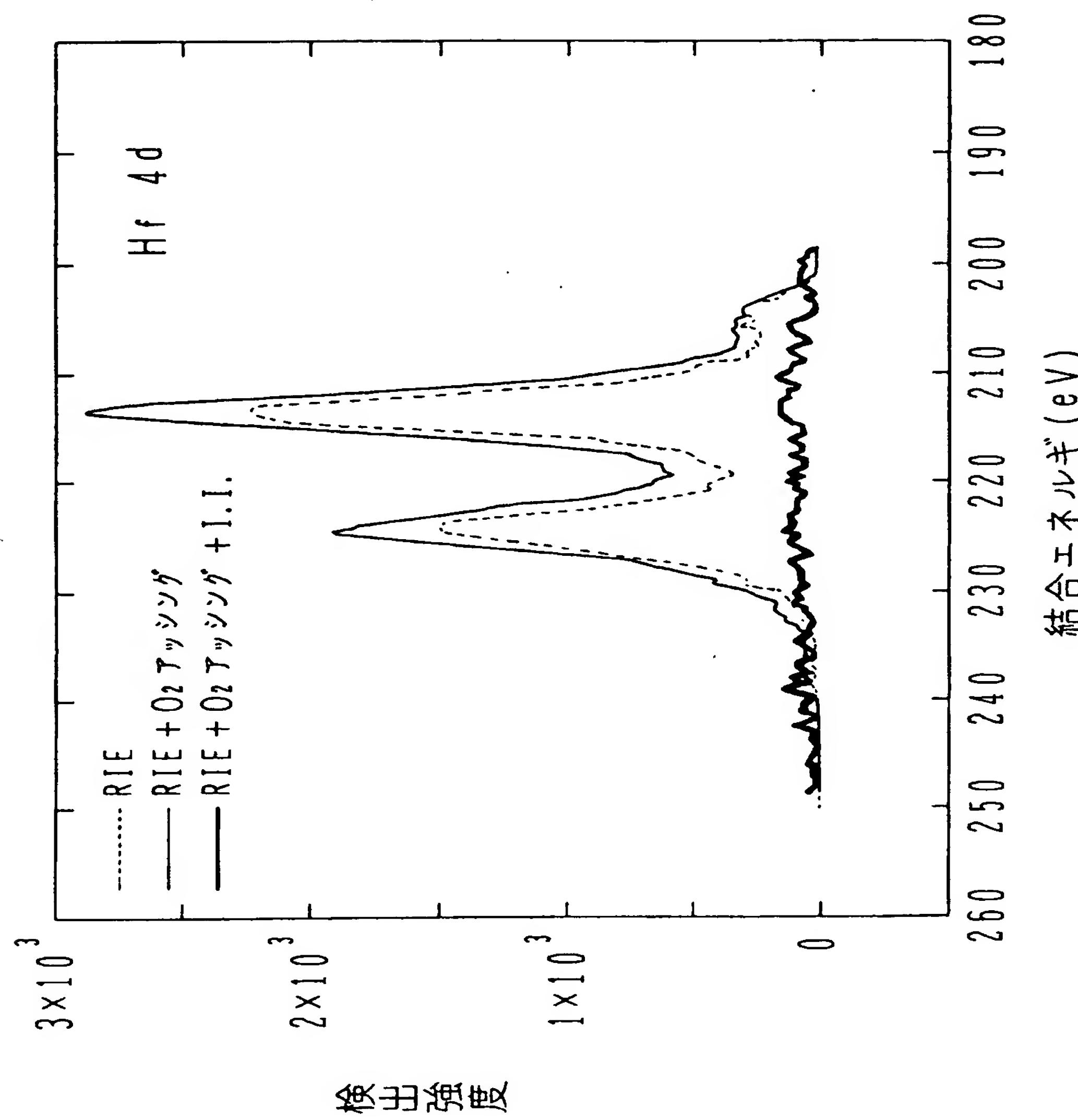
(G)



〔図3〕

| エッチャント  | 温度    | 非晶質ZrO <sub>2</sub> | 結晶ZrO <sub>2</sub> | 非晶質HfO <sub>2</sub> | 結晶HfO <sub>2</sub> |
|---|-------|---------------------|--------------------|---------------------|--------------------|
| H <sub>2</sub> SO <sub>4</sub> :H <sub>2</sub> O <sub>2</sub> =4:1        | 150°C | 0.1                 | 0.03               | 2                   | 0.01               |
| H <sub>2</sub> SO <sub>4</sub> :H <sub>2</sub> O <sub>2</sub> =4:1        | 130°C | 0.03                | 難溶                 | 0.7                 | 難溶                 |
| H <sub>3</sub> PO <sub>4</sub> (conc.)                                    | 150°C | 0.2                 | 0.04               | 32                  | 0.01               |
| HCl:H <sub>2</sub> O <sub>2</sub> :H <sub>2</sub> O=1:2:10                | 80°C  | 難溶                  | 難溶                 | 難溶                  | 難溶                 |
| NH <sub>4</sub> OH:H <sub>2</sub> O <sub>2</sub> :H <sub>2</sub> O=1:2:10 | 80°C  | 0.01                | 難溶                 | 0.1                 | 難溶                 |
| HF:H <sub>2</sub> O=1:100   | 室温    | 0.1 以下              | 難溶                 | 5.6                 | 難溶                 |
| HF:H <sub>2</sub> O=3:100   | 室温    | 0.1                 | 難溶                 | 18                  | 難溶                 |
| HF:H <sub>2</sub> O=1:10  | 室温    | 0.5                 | 0.007              | 47                  | 0.003              |

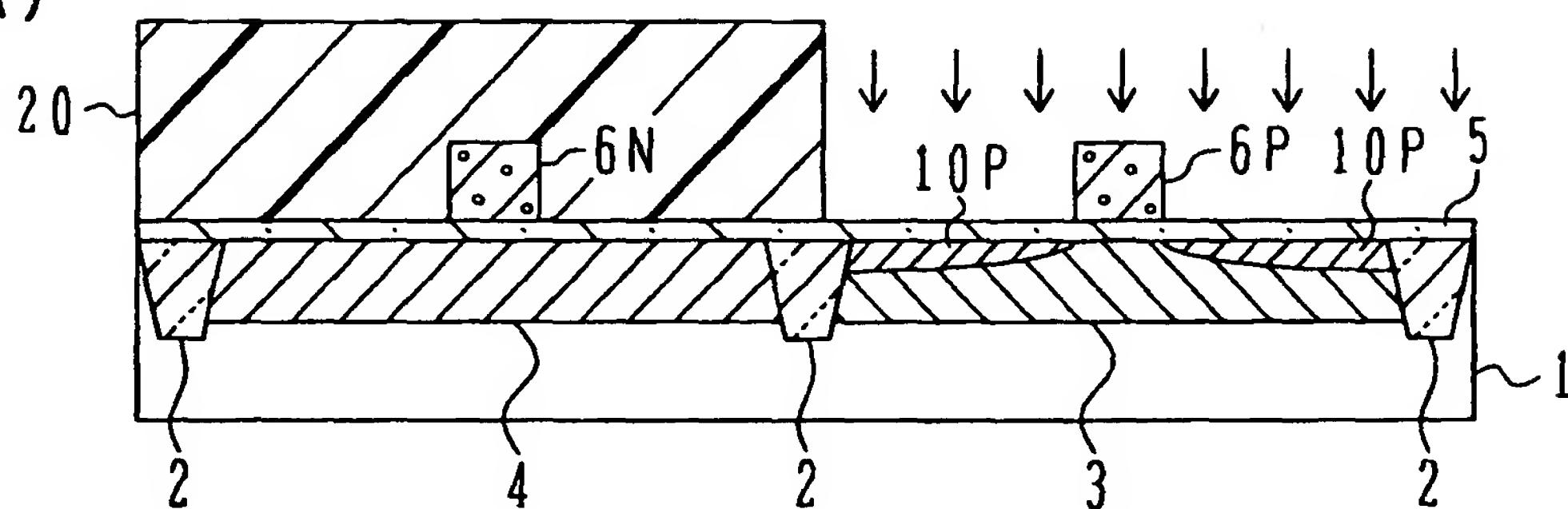
【図4】



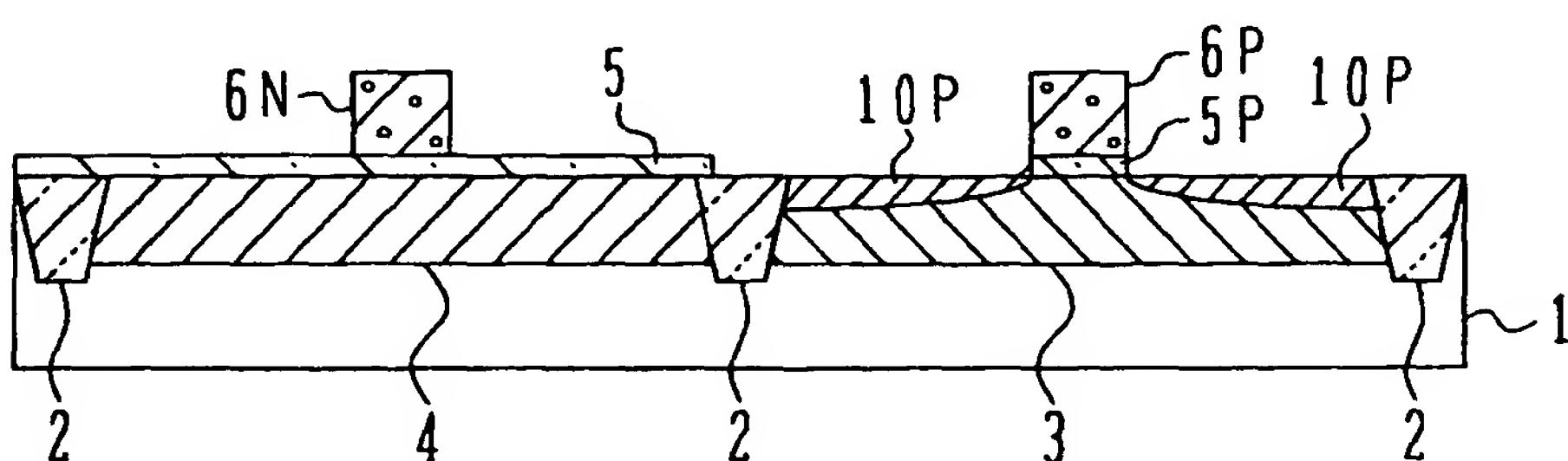
【図5】

## 第2の実施例

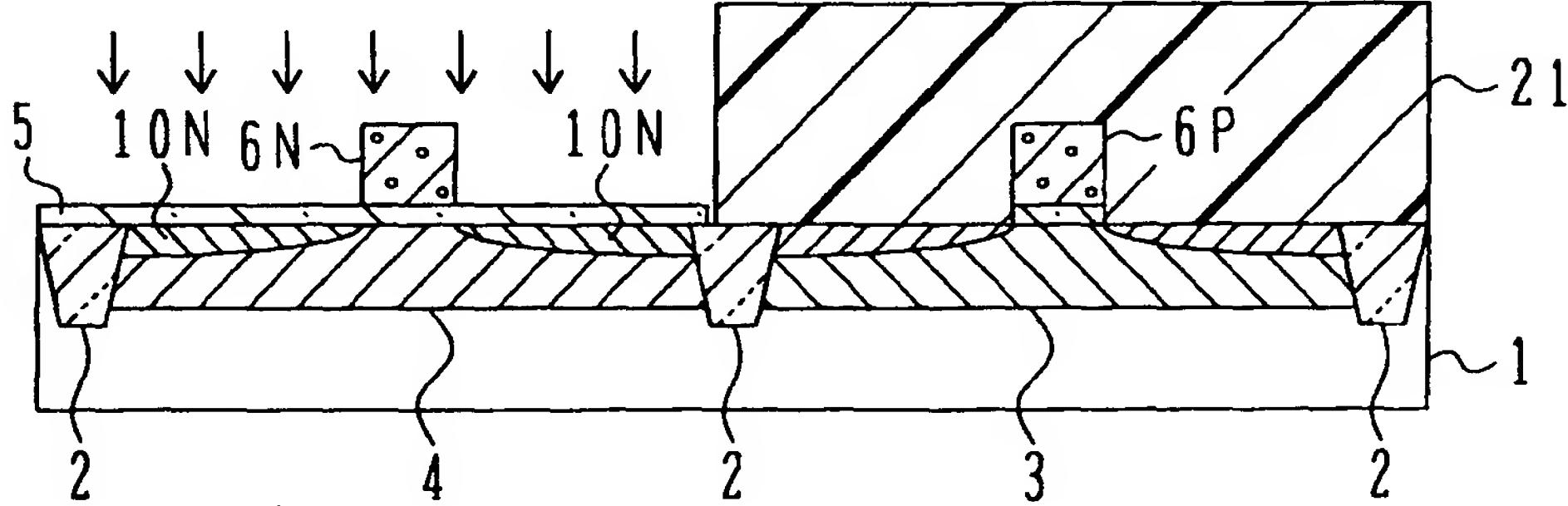
(A)



(B)



(C)



(D)

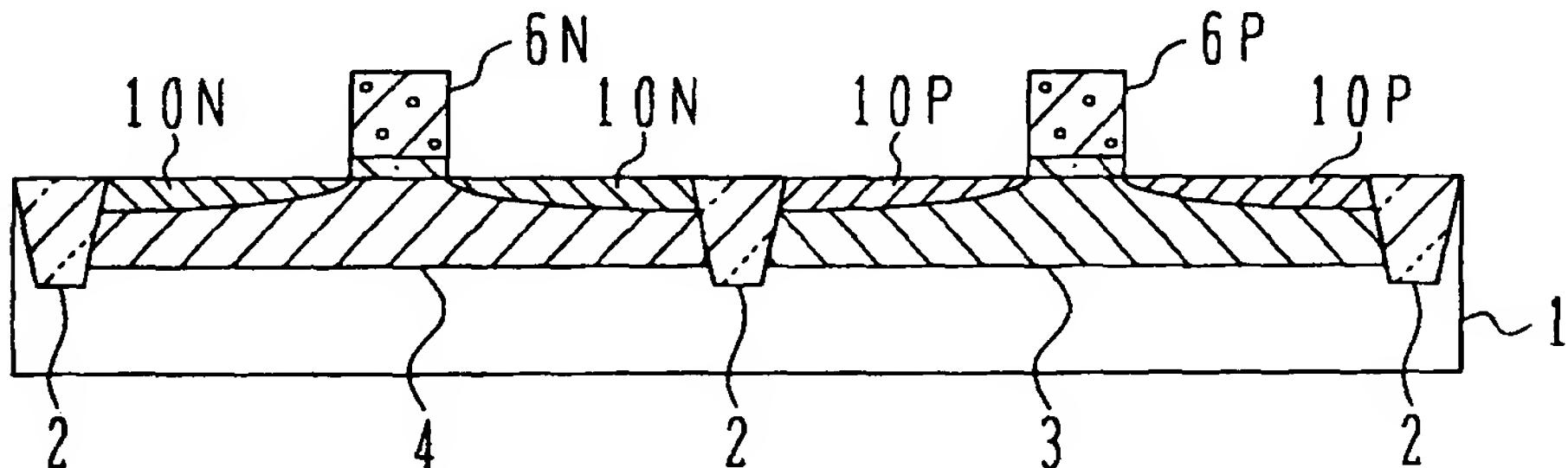


図6】

| 試料番号 | プラズマ種別          | プラズマ処理時間 | 硫酸処理温度 | H残量(原子%) |
|------|-----------------|----------|--------|----------|
| 1    | NH <sub>3</sub> | 30sec    | 135°C  | 検出限界以下   |
| 2    | NH <sub>3</sub> | 30sec    | 170°C  | 検出限界以下   |
| 3    | Ar              | 10sec    | 135°C  | 6.17     |
| 4    | Ar              | 10sec    | 170°C  | 検出限界以下   |
| 5    | Ar              | 30sec    | 135°C  | 0.26     |
| 6    | Ar              | 30sec    | 170°C  | 0.07     |
| 7    | N <sub>2</sub>  | 30sec    | 135°C  | 検出限界以下   |
| 8    | N <sub>2</sub>  | 30sec    | 170°C  | 検出限界以下   |
| 9    | なし              | —        | 135°C  | 16.6     |
| 10   | なし              | —        | 170°C  | 17.0     |

【書類名】 要約書

【要約】

【課題】 ジルコニアやハフニアからなる絶縁膜を、ウェット処理でエッティングすることにより半導体装置を作製する方法を提供する。

【解決手段】 半導体基板の表面上に、ジルコニアまたはハフニアからなる絶縁膜を形成する。絶縁膜の表面の一部を、マスクパターンで覆う。マスクパターンをマスクとして、絶縁膜のうちマスクパターンで覆われていない部分にイオンを注入することにより、絶縁膜にダメージを与える。マスクパターンをマスクとして、絶縁膜の一部をエッティングする。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社